

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05299576 A

(43) Date of publication of application: 12.11.93

(51) Int. Cl.  
H01L 25/07  
H01L 25/18  
H01L 23/12  
H01L 23/50

(21) Application number: 04097859

(22) Date of filing: 17.04.92

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor:  
TAGAWA TOMOHIDE  
TAKAHASHI TAKASHI  
KAWAKAMI TAKAYOSHI

(54) MULTI-CHIP SEMICONDUCTOR DEVICE AND  
MANUFACTURE THEREOF

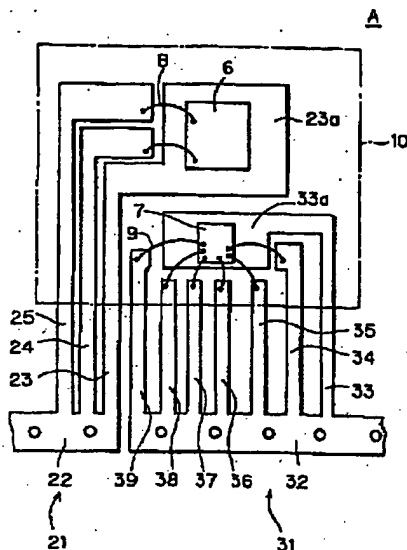
semiconductor chip is enhanced in number of pins.

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract

PURPOSE: To provide a method of manufacturing a multi-chip semiconductor device which is manufactured in a shorter term, excellent in heat dissipating properties, and able to cope with a tendency that a control semiconductor chip is enhanced in number of pins and size.

CONSTITUTION: A lead frame 21 and another lead frame 31 which are thinner than the lead frame 21 and formed of material more easily worked than that of the lead frame 21 are provided, a power chip 6 is mounted on a mounting region 23a of the lead frame 21 and electrically connected to outer leads 24 and 25, and concurrently a control chip 7 is mounted on a mounting region 33a of the lead frame 31 and electrically connected to outer leads 34-39. Therefore, a lead frame formed of material excellent in heat dissipating properties is used for a power chip, and a lead frame formed of material which can be easily worked is used for a control chip, so that a semiconductor device of this design is excellent in heat dissipating properties and able to cope with a tendency that a control



BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-299576

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/07

25/18

23/12

H 0 1 L 25/ 04

C

23/ 12

J

9355-4M

審査請求 未請求 請求項の数5(全 8 頁) 最終頁に続く

(21)出願番号 特願平4-97859

(22)出願日 平成4年(1992)4月17日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 田川 智英

兵庫県川西市久代3丁目13番21号 株式会社ケーディーエル内

(72)発明者 高橋 孝

兵庫県川西市久代3丁目13番21号 株式会社ケーディーエル内

(72)発明者 川上 隆由

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(74)代理人 弁理士 高田 守

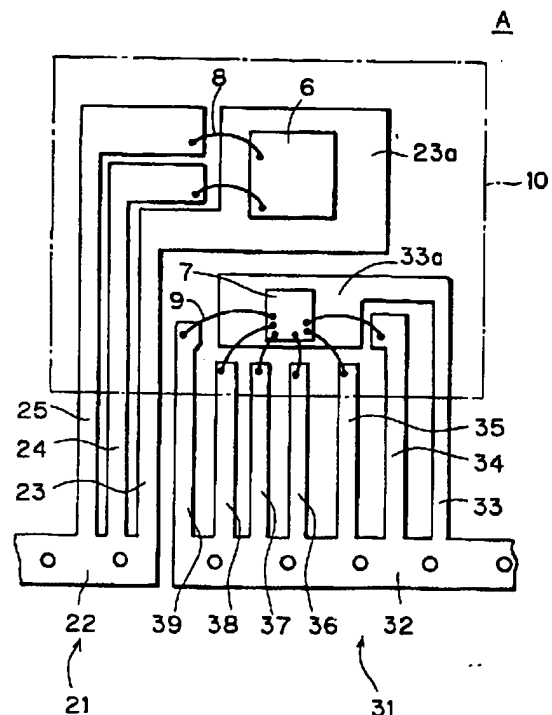
(54)【発明の名称】 マルチチップ型半導体装置及びその製造方法

(57)【要約】

【目的】 より短い製造工期で製造することができ、放熱性に優れ、かつ制御用半導体チップの多ピン化やチップサイズの大型化に対応することができるマルチチップ型半導体装置及びその製造方法を提供する。

【構成】 リードフレーム21と、そのリードフレーム21より薄く、しかもそのリードフレーム21より加工容易な材料で成形されたリードフレーム31をそれぞれ準備し、パワーチップ6をリードフレーム21の搭載領域23aに搭載し、外部リード24、25と電氣的に接続すると並行して、制御チップ7をリードフレーム31の搭載領域33aに搭載し、外部リード34～39と電氣的に接続する。

【効果】 パワーチップ用として放熱性に優れた材料で成形されたリードフレームを用いる一方、制御チップ用として加工容易な材料で成形されたリードフレームを用いることができるので、放熱性に優れ、かつ制御用半導体チップの多ピン化などに対応することができる。



## 【特許請求の範囲】

【請求項1】 半導体パワーチップと、前記半導体パワーチップを搭載するためのパワーチップ搭載領域を有する第1の外部リードを含むパワーチップ用外部リード群と、前記半導体パワーチップを制御するための制御用半導体チップと、前記制御用半導体チップを搭載するための制御チップ搭載領域を有する第2の外部リードを含む制御用外部リード群とを備え、前記パワーチップ搭載領域に前記半導体パワーチップを搭載するとともに、前記制御チップ搭載領域に前記制御用半導体チップを搭載し、さらに前記半導体パワーチップ、前記パワーチップ用外部リード群、前記制御用半導体チップ及び前記制御用外部リード群を同一パッケージ内に内蔵したマルチチップ型半導体装置において、前記制御用外部リード群の板厚が前記パワーチップ用外部リード群より薄いこと、及び／または前記制御用外部リード群が前記パワーチップ用外部リード群より加工容易な材料で構成されたことを特徴とするマルチチップ型半導体装置。

【請求項2】 前記パワーチップ搭載領域の一部に載置された絶縁シートをさらに備え、前記絶縁シート上に前記制御チップ搭載領域が位置するように、前記第1及び第2の外部リードを配置した請求項1記載のマルチチップ型半導体装置。

【請求項3】 前記第1の外部リードに取り付けられ、前記半導体パワーチップで発生した熱を放熱するための放熱手段をさらに備えた請求項1記載のマルチチップ型半導体装置。

【請求項4】 半導体パワーチップと、その半導体パワーチップを制御するための制御用半導体チップとが同一パッケージ内に内蔵されたマルチチップ型半導体装置の製造方法において、

(a) 前記半導体パワーチップを搭載するためのパワーチップ搭載領域を有する第1の外部リードを含む第1のリードフレームを用意する工程と、

(b) 前記制御用半導体チップを搭載するための制御チップ搭載領域を有する第2の外部リードを含むとともに、その厚みが前記第1のリードフレームより薄い、及び／または前記第1のリードフレームより加工容易な材料で成形された第2のリードフレームとを用意する工程と、

(c) 前記半導体パワーチップを前記パワーチップ搭載領域に搭載するとともに、前記第1のリードフレームと電気的に接続する工程と、

(d) 前記制御用半導体チップを前記制御チップ搭載領域に搭載するとともに、前記第2のリードフレームと電気的に接続する工程と、

(e) 前記半導体パワーチップが前記パワーチップ搭載領域に搭載されるとともに、前記制御用半導体チップが前記制御チップ搭載領域に搭載された状態で、前記半導体パワーチップ、前記制御用半導体チップ及び前記第1及

び第2のリードフレームを同一パッケージ内にパッケージする工程とを含むことを特徴とするマルチチップ型半導体装置の製造方法。

【請求項5】 前記工程(e)に先立って、前記パワーチップ搭載領域のうち前記半導体パワーチップが搭載されていない領域上に絶縁シートを載置した後、その絶縁シート上に前記制御チップ搭載領域が位置するように、前記第1及び第2のリードフレームを配置する工程をさらに備えた請求項4記載のマルチチップ型半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、パワートランジスタやパワーMOSFETなどの半導体パワーチップと、その半導体パワーチップを制御するための制御用半導体チップとを同一パッケージ内に内蔵するマルチチップ型半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】図10は従来のマルチチップ型半導体装置を示す平面図である。また、図11はその断面図である。このマルチチップ型半導体装置は、以下のようにして製造されていた。

【0003】まず、図10に示すように、タイバー1から複数の外部リード2～4がそれぞれ伸びたリードフレーム5を準備する。これらの外部リード2～4のうち外部リード2、3の先端部は半導体パワーチップ（以下単に「パワーチップ」という）6及びそのパワーチップ6を制御するための制御用半導体チップ（以下単に「制御チップ」という）7を搭載するための搭載領域2a、3aとしてそれぞれ機能する。

【0004】そして、各搭載領域2a、3aにパワーチップ6及び制御チップ7をそれぞれ取り付ける。それに続いて、外部リード2～4、パワーチップ6及び制御チップ7をアルミワイヤ8や金線9によって電気的に配線し、さらに外装樹脂10をトランスファーモールドによって一体樹脂成形する（図10）。その後、タイバー1から外部リード2～4を切り離して図11のマルチチップ型半導体装置が形成される。なお、図10及び図11において、11はスルーホールである。

## 【0005】

【発明が解決しようとする課題】ところで、上記のようにして製造されたマルチチップ型半導体装置では、パワーチップ6を有しているために、そのパワーチップ6で発生する熱の放熱を考慮する必要がある。そのため、リードフレーム5の材料として熱伝導率が比較的大きな銅などの金属を採用するとともに、リードフレーム5の厚みを比較的に厚くしていた。

【0006】しかしながら、リードフレーム5が銅製であり、しかもその板厚が厚いために、リードフレーム5の微細加工が困難になる場合がある。特に、近年、制御

チップ7の機能アップを図るために、制御チップ7の多ピン化やチップサイズの大型化が望まれており、この要望に応えるにはリードフレーム5のファイン化が必須条件となるが、リードフレーム5の厚みが増すにつれてそのファイン化の実現が難しくなる。

【0007】逆に、リードフレーム5のファイン化のみを考慮してリードフレーム5を薄くすると、放熱効率が低下してパワーチップ6からの熱によってマルチチップ型半導体装置が誤動作したり、半導体装置自体が破壊されてしまうことがある。

【0008】さらに、上記において説明したように、従来のマルチチップ型半導体装置を製造するためには、2種類のワイヤボンディング工程が必要である。というのも、パワーチップ6は大電力用半導体素子であり、大電力に対応する必要性からパワーチップ用としてアルミワイヤ8が採用されている。これに対して、制御チップ7は小さくデリケートなため、アルミワイヤボンディング法は不向きであるため、金線9が採用されている。そのため、両ワイヤボンディング工程をシリアルに行う必要があり、その結果半導体装置の製造効率が低く、製造工期が

長くなっているという問題があった。

【0009】この発明は上記のような問題点を解消するためになされたもので、より短い製造工期で製造することができ、放熱性に優れ、かつ制御用半導体チップの多ピン化やチップサイズの大型化に対応することができるマルチチップ型半導体装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】請求項1の発明は、半導体パワーチップと、前記半導体パワーチップを搭載するためのパワーチップ搭載領域を有する第1の外部リードを含むパワーチップ用外部リード群と、前記半導体パワーチップを制御するための制御用半導体チップと、前記制御用半導体チップを搭載するための制御チップ搭載領域を有する第2の外部リードを含む制御用外部リード群とを備え、前記パワーチップ搭載領域に前記半導体パワーチップを搭載するとともに、前記制御チップ搭載領域に前記制御用半導体チップを搭載し、さらに前記半導体パワーチップと、前記パワーチップ用外部リード群と、前記制御用半導体チップと、前記制御用外部リード群とを同一パッケージ内に内蔵したマルチチップ型半導体装置であって、上記目的を達成するために、前記制御用外部リード群の板厚を前記パワーチップ用外部リード群より薄くする、及び／または前記制御用外部リード群を前記パワーチップ用外部リード群より加工容易な材料で構成している。

【0011】請求項2の発明は、前記パワーチップ搭載領域の一部に載置された絶縁シートをさらに備え、前記絶縁シート上に前記制御チップ搭載領域が位置するように、前記第1及び第2の外部リードを配置している。

【0012】請求項3の発明は、前記第1の外部リードに取り付けられ、前記半導体パワーチップで発生した熱を放熱するための放熱手段をさらに備えている。

【0013】請求項4の発明は、半導体パワーチップと、その半導体パワーチップを制御するための制御用半導体チップとが同一パッケージ内に内蔵されたマルチチップ型半導体装置の製造方法であって、上記目的を達成するために、(a) 前記半導体パワーチップを搭載するためのパワーチップ搭載領域を有する第1の外部リードを含む第1のリードフレームを用意する工程と、(b) 前記制御用半導体チップを搭載するための制御チップ搭載領域を有する第2の外部リードを含むとともに、その厚みが前記第1のリードフレームより薄い、及び／または前記第1のリードフレームより加工容易な材料で成形された第2のリードフレームとを用意する工程と、(c) 前記半導体パワーチップを前記パワーチップ搭載領域に搭載するとともに、前記第1のリードフレームと電気的に接続する工程と、(d) 前記制御用半導体チップを前記制御チップ搭載領域に搭載するとともに、前記第2のリードフレームと電気的に接続する工程と、(e) 前記半導体パワーチップが前記パワーチップ搭載領域に搭載されるとともに、前記制御用半導体チップが前記制御チップ搭載領域に搭載された状態で、前記半導体パワーチップ、前記制御用半導体チップ及び前記第1及び第2のリードフレームを同一パッケージ内にパッケージする工程とを含んでいる。

【0014】請求項5の発明は、前記工程(e)に先立って、前記パワーチップ搭載領域のうち前記半導体パワーチップが搭載されていない領域上に絶縁シートを載置した後、その絶縁シート上に前記制御チップ搭載領域が位置するように、前記第1及び第2のリードフレームを配置する工程をさらに備えている。

【0015】

【作用】請求項1の発明によれば、制御用外部リード群の板厚がパワーチップ用外部リード群より薄く仕上げられる、あるいは前記制御用外部リード群が前記パワーチップ用外部リード群より加工容易な材料で構成されるために、ファイン化が容易となる。

【0016】請求項2の発明によれば、絶縁シートがパワーチップ搭載領域の一部に載置されるとともに、前記絶縁シート上に前記制御チップ搭載領域が位置するように、前記第1及び第2の外部リードが配置される。そのため、半導体装置を小型化することができる。

【0017】請求項3の発明によれば、前記第1の外部リードに取り付けられ、前記半導体パワーチップで発生した熱を放熱するための放熱手段がさらに備えられているので、放熱効率が向上する。

【0018】請求項4の発明によれば、第2のリードフレームが第1のリードフレームより薄く、及び／または前記第1のリードフレームより加工容易な材料で成形さ

10

20

30

40

50

れるので、前記第2のリードフレームのファイン化が容易となる。

【0019】請求項5の発明によれば、工程(e)に先立って、パワーチップ搭載領域のうち半導体パワーチップが搭載されていない領域上に、絶縁性のシートが載置された後、その絶縁シート上に制御チップ搭載領域が位置するように、前記第1及び第2のリードフレームが配置される。したがって、半導体装置を小型化することができる。

【0020】

【実施例】図1はこの発明にかかるマルチチップ型半導体装置の第1実施例を示す平面図である。この半導体装置Aは、SIP (=Single In-line Package) タイプの半導体装置である。以下、その製造方法を説明しながら、その構造的特徴を説明する。

【0021】図2及び図3は、第1実施例にかかる半導体装置の製造方法を示す平面図である。まず、図2に示すように、熱伝導率が大い金属、例えば銅よりなるリードフレーム21を準備する。このリードフレーム21のタイバー22からは、パワーチップ6を搭載するためのパワーチップ搭載領域23aを有する外部リード23と、パワーチップ6に外部からの信号を与える及び/またはパワーチップ6からの出力信号を外部に送るための外部リード24、25がそれぞれ伸びている。

【0022】また、上記リードフレーム21とは別個に、銅よりも加工性に優れた金属、例えば42アロイ (42%Ni-58%Fe)製のリードフレーム31を準備する。このリードフレーム31では、タイバー32から7本の外部リード33~39が伸びている。これらの外部リードのうち外部リード33の先端部が制御チップ7の制御チップ搭載領域33aとなっている。なお、リードフレーム31の材料として、42アロイ以外にリン青銅やコパル (商品名: 54%Fe-29%Ni-17%Co) 等を用いてもよい。

【0023】ところで、これらのリードフレーム21、31が相違する点は、その材質のみならず、その板厚の点でも大きく相違する。すなわち、図示を省略しているが、放熱性を考慮してリードフレーム21は比較的厚くなっているのに対し、リードフレーム31は加工性を考慮して薄く仕上げられている。

【0024】次に、パワーチップ6及び制御チップ7に対するアッセンブリ工程がそれぞれ独立して、しかも並行して実行される。すなわち、パワーチップ6をパワーチップ搭載領域23aに搭載した後、アルミワイヤ8を他の外部リード24、25の一方端と電気的に接続する (図2)。また、そのアッセンブリ工程と並行して、制御チップ7を制御チップ搭載領域33aに搭載するとともに、外部リード34~39の一方端と金線9によって電気的に接続する (図3)。

【0025】それに続いて、パワーチップ6が取り付け

られたリードフレーム21 (図2)と、制御チップ7が取り付けられた制御チップ7 (図3)とを位置合わせした後、外装樹脂10をトランスファーモールドによって一体樹脂成形する (図1)。そして、各外部リード23~25、33~39の他方端を切断してリードフレーム21、31から切り離す。こうして、SIPタイプの半導体装置Aが製造される。

【0026】以上のように、この実施例によれば、放熱性に優れたリードフレーム、つまり熱伝導率が大い金属からなり、しかもその板厚が厚いリードフレーム21にパワーチップ6をアッセンブリしているので、パワーチップ6で発生した熱を効率よく放熱することができる。一方、制御チップ7のためのリードフレーム31については、加工容易な金属材料で、しかも薄く仕上げられているので、リードフレーム31の微細加工が容易である。そのため、リードフレーム31のファイン化が可能となり、制御チップ7の多ピン化やチップサイズの大型化に対して柔軟に対応することができる。なお、リードフレーム21より加工容易な金属材料でリードフレーム31を構成するだけでも、上記と同様の効果が得られる。また、リードフレーム21と同質材料でリードフレーム31を構成する場合でも単にリードフレーム31を薄くするだけでも同様の効果が得られる。但し、より顕著な効果を得るためには、上記実施例のごとくより加工容易な金属材料で、しかも薄く仕上げるのが好適である。

【0027】また、パワーチップ6のアッセンブリ工程と並行して、制御チップ7のアッセンブリ工程を実行することができるので、半導体装置の製造工期を大幅に短縮することができる。

【0028】図4はこの発明にかかるマルチチップ型半導体装置の第2実施例を示す平面図である。この半導体装置Bは、QFP (=Quad Flat Package) タイプの半導体装置である。この第2実施例が第1実施例と相違する点は、パワーチップ搭載領域23aに2個のパワーチップ6、6が搭載されている点と、第1実施例ではすべての外部リードが一定方向に伸びているのに対し、第2実施例では外部リードが四方に伸びている点であり、その他の構成はほぼ同一である。また、製造方法も以下に説明するようにほぼ同一である。

【0029】まず、第1実施例と同様に、パワーチップ6用のリードフレーム21を比較的板厚の厚い銅板より加工成形するとともに、42アロイの薄板を微細加工して制御チップ7用のリードフレーム31を成形する。このため、第1実施例と同様に、放熱性に優れたリードフレーム21が得られると同時に、リードフレーム31のファイン化を容易に行うことができる。

【0030】次に、上記のようにして得られたリードフレーム21のパワーチップ搭載領域23aにパワーチップ6、6を搭載した後、アルミワイヤ8を適当な外部リ

ードと電氣的に接続する。また、上記アッセンブリ工程と並行してリードフレーム31に対してもアッセンブリ工程を施す。すなわち、リードフレーム31の制御チップ搭載領域33aに制御チップ7を搭載した後、適当な外部リードに金線9をワイヤボンダする。このように、第2実施例においても、第1実施例と同様に、両アッセンブリ工程を並行して行うことによって、半導体装置の製造工期の短縮が可能となっている。

【0031】これらのアッセンブリ工程が完了すると、パワーチップ6、6が取り付けられたリードフレーム21と、制御チップ7が取り付けられた制御チップ7とを位置合わせした後、外装樹脂10をトランスファーマールドによって一体樹脂成形し、さらに各外部リードの他方端を切断してリードフレーム21、31から切り離す。こうして、QFPタイプの半導体装置Bが製造される。

【0032】なお、上記実施例では、SIP及びQFPタイプの半導体装置に本発明を適用した例について説明したが、本発明の適用可能なタイプは上記に限定されず、別のタイプ、例えば図5に示すようにDIP (=Dual In-line Package) タイプの半導体装置Cにも適用することができる。なお、その構成、製造方法及び効果については、上記実施例とほぼ同様であることから、同一あるいは相当符号を付してその説明を省略する。

【0033】図6はこの発明にかかるマルチチップ型半導体装置の改良例を示す平面図であり、図7はその断面図である。この改良例にかかる半導体装置Dでは、パワーチップ搭載領域23aのうちパワーチップ6が搭載されていない領域に絶縁シート41が載置され、さらにその絶縁シート41上にリードフレーム31の制御チップ搭載領域33a及び残りの外部リードの先端部が搭載されている。そのため、先の実施例、例えば図1の半導体装置Aに比べて半導体装置のサイズが小さくなっており、装置の小型化を図ることができる。

【0034】また、半導体装置の放熱性をさらに高めるには、例えば半導体装置Cの外部リード23（パワーチップ6と接続された外部リード）を通常の外部リードと逆の方向に折り曲げ、金属ヒートシンク51に接続したり（図8）、あるいは図9に示すように通常のリードと同一方向に折り曲げ、高熱伝導金属基板52に取り付けてもよい。いずれの場合も、パワーチップ6で発生した熱を外部リードを介して金属ヒートシンク51や高熱伝導金属基板52に伝え、放熱することができる。

【0035】

【発明の効果】以上のように、請求項1の発明によれば、パワーチップ用外部リード群と、制御用外部リード群とをそれぞれ設け、しかも前記制御用外部リード群の板厚を前記パワーチップ用外部リード群より薄く仕上げる、あるいは前記制御用外部リード群を前記パワーチップ用外部リード群より加工容易な材料で構成しているの

で、より短い製造工期で製造することができ、放熱性に優れ、かつ制御用半導体チップの多ピン化やチップサイズの大型化に対応することができる。

【0036】請求項2の発明によれば、絶縁シートをパワーチップ搭載領域の一部に載置するとともに、その絶縁シート上に前記制御チップ搭載領域が位置するように、前記第1及び第2の外部リードが配置される。そのため、上記効果に加えて半導体装置を小型化することができる。

10 【0037】請求項3の発明によれば、前記第1の外部リードに取り付けられ、前記半導体パワーチップで発生した熱を放熱するための放熱手段をさらに備えているので、放熱効率をより向上させることができる。

20 【0038】請求項4の発明によれば、第1のリードフレームと、その第1のリードフレームより薄い、あるいはその第1のリードフレームより加工容易な材料で成形された第2のリードフレームを準備し、半導体パワーチップを前記第1のリードフレームのパワーチップ搭載領域に搭載した後、前記第1のリードフレームと電氣的に接続するのと並行して、制御用半導体チップを前記第2のリードフレームの制御チップ搭載領域に搭載した後、前記第2のリードフレームと電氣的に接続するようにしているので、より短い製造工期で製造することができ、放熱性に優れ、かつ制御用半導体チップの多ピン化やチップサイズの大型化に対応することができる。

30 【0039】請求項5の発明によれば、前記パワーチップ搭載領域のうち前記半導体パワーチップが搭載されていない領域上に、絶縁性のシートを載置した後、その絶縁シート上に制御チップ搭載領域が位置するように、前記第1及び第2のリードフレームを配置するようにしているので、上記効果に加えて半導体装置を小型化することができる。

【図面の簡単な説明】

【図1】この発明にかかるマルチチップ型半導体装置の第1実施例を示す平面図である。

【図2】第1実施例にかかる半導体装置の製造方法を示す平面図である。

【図3】第1実施例にかかる半導体装置の製造方法を示す平面図である。

40 【図4】この発明にかかるマルチチップ型半導体装置の第2実施例を示す平面図である。

【図5】この発明にかかるマルチチップ型半導体装置の他の実施例を示す平面図である。

【図6】この発明にかかるマルチチップ型半導体装置の改良例を示す平面図である。

【図7】図6のマルチチップ型半導体装置の断面図である。

【図8】この発明にかかるマルチチップ型半導体装置の別の改良例を示す断面図である。

50 【図9】この発明にかかるマルチチップ型半導体装置の

9

10

さらに別の改良例を示す断面図である。

【図10】従来のマルチチップ型半導体装置を示す平面図である。

【図11】図10のマルチチップ型半導体装置の断面図である。

【符号の説明】

6 半導体パワーチップ

7 制御用半導体チップ

\* 21, 31 リードフレーム

23a パワーチップ搭載領域

23~25, 33~39 外部リード

33a 制御チップ搭載領域

41 絶縁シート

51 金属ヒートシンク

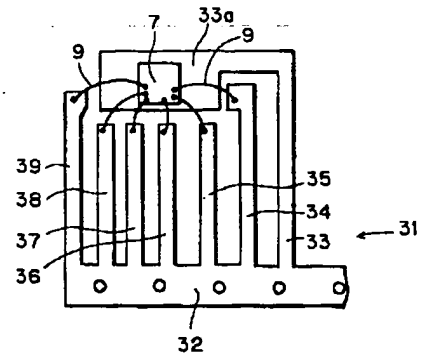
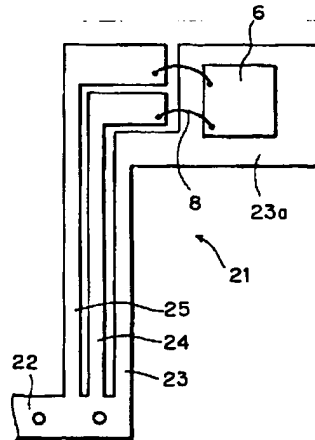
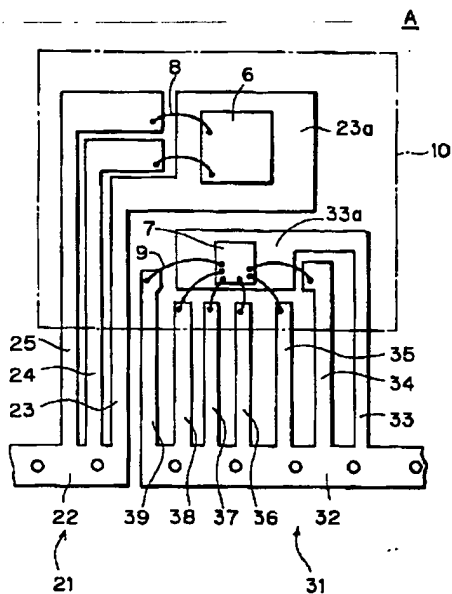
52 高熱伝導金属基板

\*

【図1】

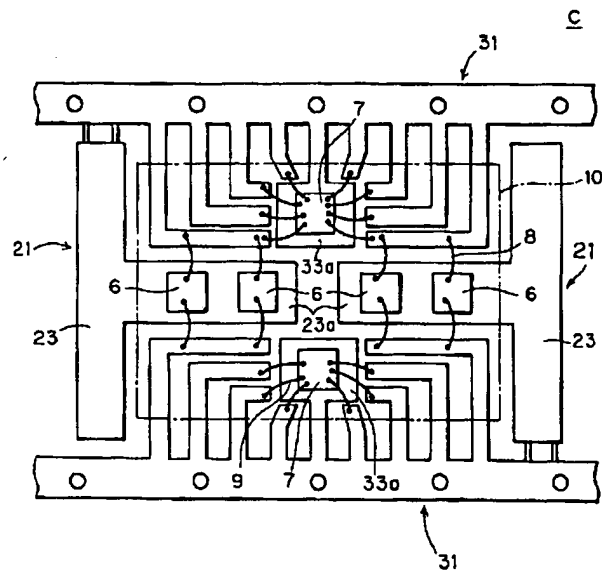
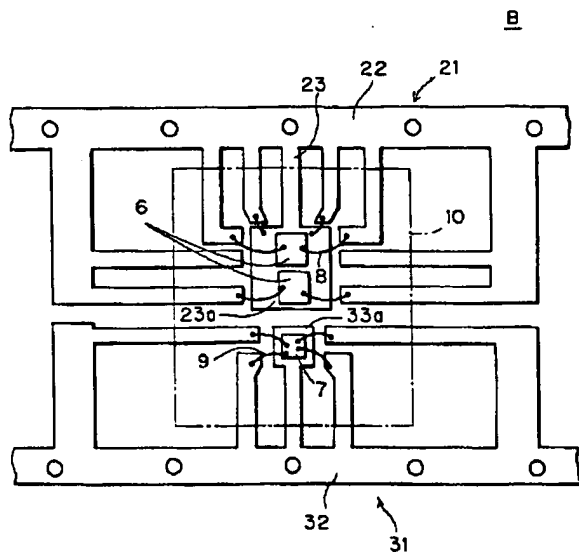
【図2】

【図3】

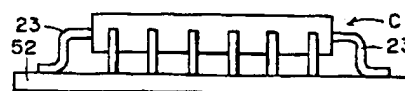


【図5】

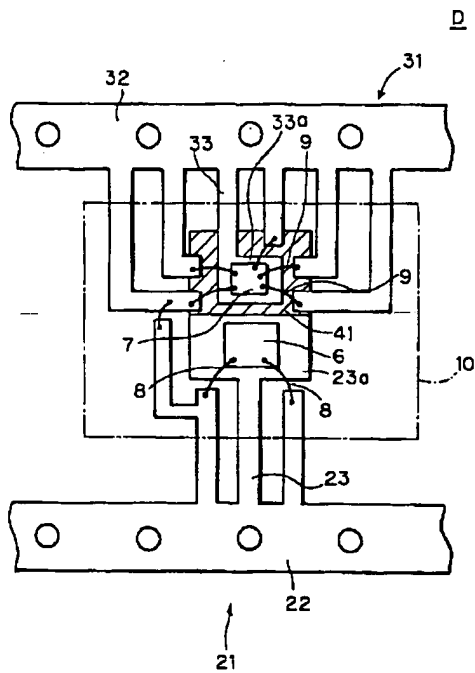
【図4】



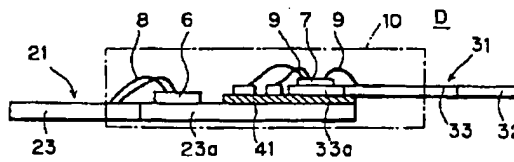
【図9】



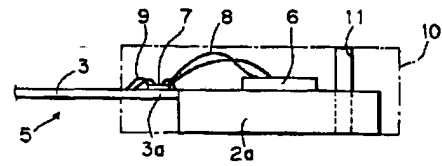
【図6】



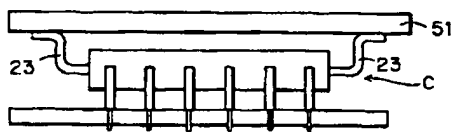
【図7】



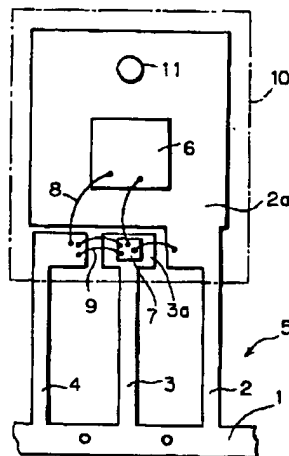
【図11】



【図8】



【図10】



## 【手続補正書】

【提出日】平成4年9月24日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】しかしながら、リードフレーム5が銅製であり、しかもその板厚が厚いために、リードフレーム5

の微細加工が困難になる場合がある。特に、近年、制御チップ7の機能アップが望まれている為に、制御チップ7の多ピン化やチップサイズの大型化がすすんでおり、この要望に応えるにはリードフレーム5のファイン化が必須条件となるが、リードフレーム5の厚みが増すにつれてそのファイン化の実現が難しくなる。

## 【手続補正2】

【補正対象書類名】明細書



【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】なお、上記実施例では、SIP及びQFPタイプの半導体装置に本発明を適用した例について説明したが、本発明の適用可能なタイプは上記に限定されず、別のタイプ、例えば図5に示すようにDIP (=Dual\*

\*1 In-line Package) タイプの半導体装置Cにも適用することができる。リードフレーム21及びリードフレーム31のピン数やパワーチップの個数は特に限定せず自由に設定できるものとする。なお、その構成、製造方法及び効果については、上記実施例とほぼ同様であることから、同一あるいは相当符号を付してその説明を省略する。

---

フロントページの続き

(51)Int.Cl.<sup>3</sup>  
H01L 23/50

識別記号 — 庁内整理番号 —  
K 9272-4M

F 1

技術表示箇所